

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-057219

(43)Date of publication of application : 22.02.2002

(51)Int.CI.

H01L 21/8222  
 H01L 27/06  
 H01L 21/761  
 H01L 21/331  
 H01L 29/73

(21)Application number : 2000-245871

(71)Applicant : CANON INC

(22)Date of filing : 14.08.2000

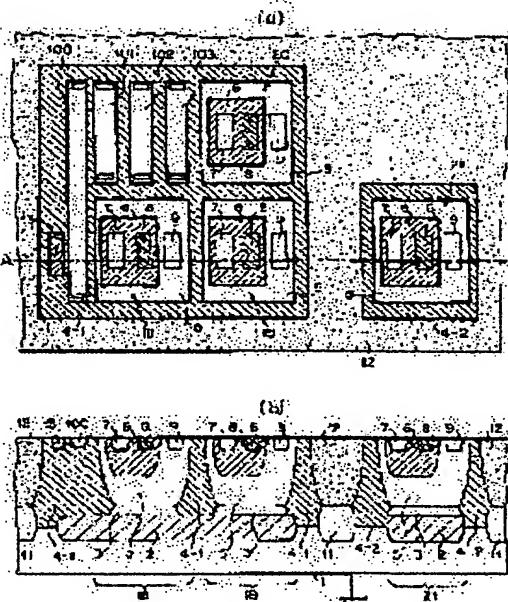
(72)Inventor : MORII TAKASHI  
 SHIRAI YOSHIHIRO  
 NAKAYAMA HISAKI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent a charge caused by a saturation state from affecting the operation of a semiconductor element which does not become saturation state.

**SOLUTION:** In a semiconductor integrated circuit where a plurality of semiconductor elements 18 to 21 are separated by element isolating regions 4-1 and 4-2, the semiconductor element 21 becoming the saturation state and the semiconductor elements 18 to 20, which do not become saturation state in a plurality of the semiconductor elements 18 to 21 are separately formed. Isolation bands 11 and 12 are formed in the element isolation regions where the semiconductor element 21, which becomes the saturation state and the semiconductor elements 18 to 20 which do not become the saturation state are isolated, so that charges do not mutually move.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-57219

(P2002-57219A)

(43)公開日 平成14年2月22日(2002.2.22)

(51) Int.Cl.  
 H 01 L 21/8222  
 27/06  
 21/761  
 21/331  
 29/73

識別記号

F I  
 H 01 L 27/06  
 21/76  
 29/72

テマコート(参考)  
 101 B 5 F 0 0 3  
 J 5 F 0 3 2  
 5 F 0 8 2

審査請求 未請求 請求項の数7 OL (全8頁)

(21)出願番号 特願2000-245871(P2000-245871)

(22)出願日 平成12年8月14日(2000.8.14)

(71)出願人 000001007  
 キヤノン株式会社  
 東京都大田区下丸子3丁目30番2号  
 (72)発明者 森井 崇  
 東京都大田区下丸子3丁目30番2号 キヤ  
 ノン株式会社内  
 (72)発明者 白井 誠浩  
 東京都大田区下丸子3丁目30番2号 キヤ  
 ノン株式会社内  
 (74)代理人 100065385  
 弁理士 山下 積平

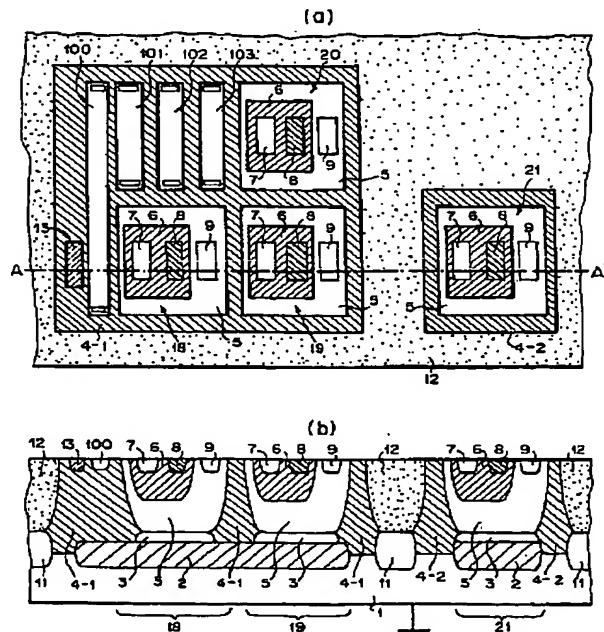
最終頁に続く

(54)【発明の名称】 半導体集積回路

## (57)【要約】

【課題】 飽和状態となることで生じる電荷が、飽和状態とならない半導体素子の動作に影響しないようにする。

【解決手段】 複数の半導体素子18～21を素子分離領域4-1, 4-2によって分離してなる半導体集積回路において、複数の半導体素子18～21のうち飽和状態となる半導体素子21と飽和状態とならない半導体素子18～20とを分けて形成し、飽和状態となる半導体素子21と飽和状態とならない半導体素子18～20とを分離する素子分離領域内に、相互に電荷が移動しないように分離帯11, 12を形成する。



## 【特許請求の範囲】

【請求項1】複数の半導体素子を素子分離領域によって分離してなる半導体集積回路において、複数の前記半導体素子のうち飽和状態となる半導体素子と飽和状態とならない半導体素子とを分けて形成し、前記飽和状態となる半導体素子と前記飽和状態とならない半導体素子とを分離する素子分離領域内に、相互に電荷が移動しないように分離帯を形成してなることを特徴とする半導体集積回路。

【請求項2】前記飽和状態とならない半導体素子側に、一定電位とするための高濃度領域を形成していることを特徴とする請求項1に記載の半導体集積回路。

【請求項3】複数の半導体素子を素子分離領域によって分離してなる半導体集積回路において、

複数の前記半導体素子のうち飽和状態となる半導体素子と飽和状態とならない半導体素子とを分けて形成し、さらに、前記飽和状態となる半導体素子のうち、飽和状態となる半導体素子と素子分離領域とからなる寄生トランジスタのベースーエミッタ間電圧を制御したときに前記飽和状態とならない半導体素子の動作に影響を及ぼさないようにした半導体素子と他の飽和状態となる半導体素子とを分離する素子分離領域内に、相互に電荷が移動しないように分離帯を形成してなることを特徴とする半導体集積回路。

【請求項4】前記飽和状態とならない半導体素子側の素子分離領域の電圧降下が0.3V以上にならないように、前記ベースーエミッタ間電圧を制御することを特徴とする請求項3に記載の半導体集積回路。

【請求項5】複数の半導体素子を素子分離領域によって分離してなる半導体集積回路において、

複数の前記半導体素子のうち飽和状態となる半導体素子の近傍に一定電位とするための高濃度領域を形成することにより、該高濃度領域と前記飽和状態となる半導体素子との間の寄生抵抗を減らして、前記飽和状態となる半導体素子が飽和したときに生じる電荷が他の半導体素子の動作に影響を及ぼさないようにすることを特徴とする半導体集積回路。

【請求項6】複数の前記半導体素子側に形成されている種々の配線の面積に応じて、他の前記素子分離領域を分離帯によって分離することを特徴とする請求項1から5のいずれか1項に記載の半導体集積回路。

【請求項7】前記素子分離領域と前記分離帯とを異なる導電型とすることを特徴とする請求項1から6のいずれか1項に記載の半導体集積回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、複数の半導体素子を素子分離領域によって分離してなる半導体集積回路に関するものである。

## 【0002】

【従来の技術】図5(a)は、従来の半導体集積回路の平面図である。図5(b)は、図5(a)のC-C'間の断面図である。図6は、図5の回路図である。

【0003】図5(a)には、それぞれ図示しない電源と接続されるN<sup>+</sup>型領域13及び抵抗100～103と、エミッタ7とベースコンタクト層8とを有するベース6及びコレクタコンタクト層9を備えるコレクタ領域5を具備する半導体素子18～21と、N<sup>+</sup>型領域13及び抵抗100～103と半導体素子18～21とにそれぞれ接するように形成されたN型素子分離領域4～3と、N型素子分離領域4～3の周囲に形成されたウェル領域12とを示している。なお、半導体素子18～21は、N型埋め込み層2、P型埋め込み層3、コレクタ領域5、ベース6、エミッタ7、ベースコンタクト層8、コレクタコンタクト層9によって構成している。

【0004】図5(b)には、ウェル領域12との下側に設けられたP型埋め込み層11と、コレクタ領域5の下側に設けられたP型埋め込み層3と、P型埋め込み層3及びN型素子分離領域4～3に接するように形成されたN型埋め込み層2と、たとえばグランドに接地されているP型基板1とを示している。なお、P型埋め込み層3とコレクタ領域5とによってコレクタを形成している。

【0005】また、図5(b)において、24はN型素子分離領域4～3をコレクタ、半導体素子21のコレクタ領域5をベース、半導体素子21のベース6をエミッタと仮想する寄生NPNトランジスタ、25はN型素子分離領域4～3の寄生抵抗、26は抵抗10をエミッタ、N型素子分離領域4～3をベース、P型基板1をコレクタと仮想する寄生PNPトランジスタである。

【0006】また、図5の各部分のうち、P型のものは、P型基板1、P型埋め込み層3、コレクタ領域5、ベース6、コレクタコンタクト層9、抵抗10、P型埋め込み層11、ウェル領域12であり、N型のものは、N型埋め込み層2、N型素子分離領域4、エミッタ7、ベースコンタクト層8、N<sup>+</sup>型領域13であるが、これらの導電型は逆としてもよい。

【0007】図6において、44は接地電位に保持されるグランドライン、45は電源電位に保持される電源ライン、46は電流値I<sub>0</sub>を流す定電流源である。なお、半導体素子18、19、21はカレントミラー回路を構成し、半導体素子20はコレクタ接地としている。また、INは半導体素子20の入力端子、OUTは半導体素子20の出力端子を示している。

【0008】つづいて、図6を用いて従来の半導体集積回路の動作について説明する。まず、定電流源46によって定電流I<sub>0</sub>が流れると、この定電流に基づいて、半導体素子19のベースに電流が流れるので、半導体素子19のエミッタを通じて半導体素子21のゲートにも電流が流れ。半導体素子21のゲートに電流が流れ

と、抵抗103を通じて電源ライン45から半導体素子21を電流が流れる。

【0009】このとき、たとえば入力端子INにたとえばハイレベルの信号が入力されれば、半導体素子20側にこの電流が流れず、出力端子OUTから外部に出力される。一方、入力端子INにたとえばローレベルの信号が入力されれば、半導体素子21を流れる電流は出力端子OUTから外部に出力されると共に、半導体素子20側にも流れるため、出力信号は小さくなる。

#### 【0010】

【発明が解決しようとする課題】しかし、従来の半導体集積回路は、図5(b)に示すように、抵抗とN型素子分離領域との間でPN接合が形成されるので、これが寄生ダイオードのように動作する場合が考えられる。寄生ダイオードが動作すると、半導体集積回路が正しく動作しないので、これを防止するためにN型素子分離領域4-3と図示しない電源とがN+型領域13を介して接続される。

【0011】半導体素子21が飽和状態となると、寄生NPNトランジスタ24が動作して、電源ライン45からN+型領域13を通って、寄生NPNトランジスタ24のエミッタであるところの半導体素子21のベース6に電流が流れる。寄生NPNトランジスタ24は飽和状態となるトランジスタでもあるので、定電流源46によって流れる電流の電流値 $I_0$ は、半導体素子19によって電流増幅率倍されて半導体素子21のベース6に流れる。この増幅電流とN型素子分離領域4-3の寄生抵抗25とにより、N型素子分離領域4-3に電圧降下が生じる。

【0012】この電圧降下により、寄生PNPトランジスタ26が動作し、電源からP型基板1に大きな電流が流れ込んでしまう。電源からP型基板1に大きな電流が流れると、P型基板1がグランド接地されていても、消費電流が増加したり、N型素子分離領域4-1を介してP型基板1側に電流が流れ、P型基板1の電位が上昇するなどの様々な問題が生じる。

【0013】そこで、本発明は、飽和状態となることで生じる電荷が、飽和状態とならない半導体素子の動作に影響しないようにすることを課題とする。

#### 【0014】

【課題を解決するための手段】上記課題を解決するために、本発明は、複数の半導体素子を素子分離領域によって分離してなる半導体集積回路において、複数の前記半導体素子のうち飽和状態となる半導体素子と飽和状態とならない半導体素子とを分けて形成し、前記飽和状態となる半導体素子と前記飽和状態とならない半導体素子とを分離する素子分離領域内に、相互に電荷が移動しないように分離帯を形成してなることを特徴とする。

【0015】また、本発明は、複数の半導体素子を素子分離領域によって分離してなる半導体集積回路におい

て、複数の前記半導体素子のうち飽和状態となる半導体素子と飽和状態とならない半導体素子とを分けて形成

し、さらに、前記飽和状態となる半導体素子のうち、飽和状態となる半導体素子と素子分離領域とからなる寄生トランジスタのベースーエミッタ間電圧を制御したときに前記飽和状態とならない半導体素子の動作に影響を及ぼさないようにした半導体素子と他の飽和状態となる半導体素子とを分離する素子分離領域内に、相互に電荷が移動しないように分離帯を形成してなることを特徴とする。

【0016】さらに、本発明は、複数の半導体素子を素子分離領域によって分離してなる半導体集積回路において、複数の前記半導体素子のうち飽和状態となる半導体素子の近傍に一定電位とするための高濃度領域を形成することにより、該高濃度領域と前記飽和状態となる半導体素子との間の寄生抵抗を減らして、前記飽和状態となる半導体素子が飽和したときに生じる電荷が他の半導体素子の動作に影響を及ぼさないようにすることを特徴とする。

#### 【0017】

【発明の実施の形態】以下、図面を用いて本発明の実施形態について説明する。

【0018】(実施形態1) 図1(a)は、本発明の実施形態1の半導体集積回路の平面図である。図1(b)は、図1(a)のB-B'間の断面図である。図1(a)には、それぞれ電源等の一定電位を供給する供給源と接続されるN+型領域13及び抵抗100~103と、エミッタ7とベースコンタクト層8とを有するベース6及びコレクタコンタクト層9を備えるコレクタ領域5を具備する半導体素子18~21と、N+型領域13と抵抗100~103と半導体素子18~20とにそれぞれ接するように形成されたN型素子分離領域4-1と、半導体素子21に接するように形成されたN型素子分離領域4-2と、N型素子分離領域4-1, 4-2を分離するウェル領域12とを示している。

【0019】ちなみに、半導体素子18~20は飽和状態とならないものであり、半導体素子21は飽和状態となるものと仮定して説明する。

【0020】図1(b)には、さらにN+型領域13及び抵抗100~103、半導体素子18, 19, 21の下方に形成されたN型埋め込み層2と、12の下側に設けられたP型埋め込み層11と、コレクタ領域5の下側に設けられたP型埋め込み層3と、たとえばグランドに接続されているP型基板1とを示している。なお、P型埋め込み層3とコレクタ領域5とによってコレクタを形成している。また、ウェル領域12とP型埋め込み層11とによって分離帯を形成している。

【0021】また、図1の各部分のうち、P型のものは、P型基板1、P型埋め込み層3、コレクタ領域5、ベース6、コレクタコンタクト層9、抵抗100~103

3、P型埋め込み層11、ウェル領域12であり、N型のものは、N型埋め込み層2、N型素子分離領域4-1、4-2、エミッタ7、ベースコンタクト層8、N<sup>+</sup>型領域13であるが、これらの導電型は逆としてもよい。

【0022】図1に示すように、本実施形態では、大きく半導体素子18～20と半導体素子21とに分けて形成し、飽和状態とならない半導体素子18～20と抵抗100～103とN<sup>+</sup>型領域13とをN型素子分離領域4-1によって分離している。また、半導体素子21をN型素子分離領域4-2によって分離している。さらに、半導体素子21が飽和状態の時にP型基板1とN型素子分離領域4-2とコレクタ領域5とによって形成されるPNP接合部で生じる電流が隣接する半導体素子18～20側に流れないように、ウェル領域12及びP型埋め込み層11を形成している。

【0023】なお、図1には、N型素子分離領域4-1内にウェル領域12等を形成していない場合を例に説明したが、N型素子分離領域4-1によって複数の半導体素子を分離すると、電源ラインなどの配線が複雑化したり、配線の面積が大きくなる場合があるので、飽和状態とならない半導体素子間のN型素子分離領域4-1内であってもウェル領域12等を設けるようにしてもよい。

【0024】(実施形態2) 本発明の実施形態2では、飽和状態となる半導体素子間にウェル領域12等を形成してなる半導体集積回路について説明する。

【0025】図2は、本発明の実施形態2の半導体集積回路の平面図である。図2において、32～34はNPNトランジスタ(以下、「NPN」と称する。)であり、それぞれN型エピタキシャル領域27、ベース28、コレクタコンタクト層29、ベースコンタクト層30、エミッタ31を備えている。

【0026】また、35～40は半導体素子、4-4は半導体素子35～38、40等をそれぞれ分離するN型素子分離領域、4-5は半導体素子39のコレクタ5を基板1と分離するためのN型素子分離領域を示している。なお、半導体素子35～38を飽和状態とならないもの、半導体素子39、40を飽和状態となるものとしている。ちなみに、図2において、図1と同様の部分には同一の符号を付している。

【0027】また、図2の各部分のうち、P型のものは、ベース28、ベースコンタクト層30、P型抵抗41～44であり、N型のものは、N型エピタキシャル領域27、コレクタコンタクト層29、エミッタ31、N型素子分離領域4-4～4-6であるが、実施形態1と同様に、これらの導電型が逆になるように形成してもよい。

【0028】図3は、図2の回路図である。図3に示すように、NPN32～34、半導体素子35、39、半導体素子37、40によってそれぞれカレントミラー回

路を構成し、半導体素子36、38をコレクタ接地している。また、抵抗100～103はそれぞれ半導体素子35、39、37、40のエミッタと電源ライン15との間に接続される、IN1は半導体素子36の入力端子、OUT1は半導体素子36の出力端子、IN2は半導体素子38の入力端子、OUT2は半導体素子38の出力端子である。

【0029】本実施形態では、飽和する半導体素子39、40のベース6をエミッタ、コレクタ領域5をベース、N型素子分離領域4-4をコレクタとする寄生NPNトランジスタ(以下、「寄生NPN」とも称する。)に電流が流れたときに、その電流とN型素子分離領域4-4の寄生抵抗とによってN型素子分離領域4-4に電圧降下が生じても、抵抗100～103をエミッタ、N型素子分離領域4-4をベース、P型基板1をコレクタとする寄生PNPトランジスタ(以下、「寄生PNP」とも称する。)に回路動作上影響しない電流しか流れないようにして、飽和する半導体素子39、40間にウェル領域12等を設けて、半導体素子40を半導体素子35～38や抵抗100等とN型素子分離領域4-4によって分離している。

【0030】なお、図2では、半導体素子40をN型素子分離領域4-4によって分離するようにしているが、半導体素子39をN型素子分離領域4-4によって分離するようにレイアウトしてもよい。

【0031】つぎに、図2、図3を用いて、半導体素子39、40が飽和状態となる場合の動作について説明する。入力端子IN1、IN2に印加される電圧が共に上昇すると、半導体素子39、40は共に飽和状態となる。半導体素子39、40が共に飽和した場合には、定電流源16による定電流I<sub>0</sub>に基づく電流が、NPN33、34を介して寄生NPNトランジスタと、寄生NPNトランジスタとの双方に流れる。

【0032】このため、N<sup>+</sup>型領域13には、それぞれの寄生NPNを介して最大で2I<sub>0</sub>の電流が流れるので、この電流2I<sub>0</sub>と、N型素子分離領域4-4の寄生抵抗とにより、N型素子分離領域4-4に電圧降下が生じる。仮に2I<sub>0</sub>を1mA、N型素子分離領域4-4の寄生抵抗を400Ωとすると、この電圧降下は0.4Vになり、0.3V以上になる。つまり、寄生PNPのベース～エミッタ間電圧が0.3V以上になる。

【0033】しかし、定電流源16による定電流I<sub>0</sub>を500μAとすることによって、N<sup>+</sup>型領域13に流れる電流を半分にすれば、電圧降下は0.2Vになり、0.3Vを越えない。このように寄生PNPのベース～エミッタ間電圧がたとえば0.3Vを越えないようすれば、図2に示すように、半導体素子40を半導体素子35～38側に形成することも可能となる。

【0034】ここで、N型素子分離領域4-4の電圧降下がたとえば0.3V以内とすることの根拠について説

明する。バイポーラトランジスタのエミッタ電流を  $I_e$  とすると、 $I_e$  は、

【数1】

$$I_e \approx I_s \exp\left(\frac{q}{kT} V_{BE}\right) \cdots (1)$$

( $I_e$  はバイポーラトランジスタのエミッタ電流、 $k$  はボルツマン定数で  $1.3806 \times 10^{-23}$  [J/K]、 $q$  は電子の電荷量で  $1.6022 \times 10^{-19}$  [C]、 $V_{BE}$  はベース-エミッタ間電圧) と表わすことができる。また、

【数2】

$$I_s = f * T^{4-a} \exp\left(\frac{-qE_g}{kT}\right) \cdots (2)$$

( $f$  は定数、 $a \approx 2$ 、 $E_g$  はシリコンのエネルギーギャップで  $1.12$  [V]) と表すことができる。

【0035】ここで、常温 ( $T = 27$  °C) では  $kT/q \approx 26$  mV であり、一般にその時  $I_s = 1 \times 10^{-15}$  程度であるため、 $V_{BE} = 0.3$  V の時は、これらを数式1に代入すると  $I_e \approx 0.1$  nA となる。

【0036】次に、高温の状態を考えると、一般的な  $I_s = 1 \times 10^{-15}$  (at  $T = 27$  °C) を使って数式2より定数  $f \approx 0.057$  を求め、 $T = 400$  K (127 °C) の場合を計算すると、数式2より  $I_s \approx 4.5 \times 10^{-11}$  となる。 $V_{BE}$  が  $0.3$  V (at  $T = 400$  K) の時、 $kT/q \approx 34$  mV (at  $T = 400$  K) であり、これらを数式1に代入すると  $I_e \approx 0.3$  μA となる。よって、電流が数十 μA ~ 数百 μA 流れる回路にとっては、 $V_{BE}$  が  $0.3$  V 以下であれば、温度変化などを考慮しても、 $I_e$  は微少である。

【0037】しかし、高温で  $V_{BE}$  が  $0.5$  V (at  $T = 400$  K) の時は、前述と同様に  $I_s \approx 4.5 \times 10^{-11}$ 、 $kT/q \approx 34$  mV、 $V_{BE} = 0.5$  V を数式1に代入すると、 $I_e \approx 110$  μA となり、電流が数十 μA ~ 数百 μA 流れる回路にとっては寄生 PNP に流れる電流の影響が大きくなってしまう。

【0038】つまり、寄生 PNP のベース-エミッタ間電圧が  $0.3$  V を越えないようにすると、一般に、寄生 PNP には温度特性を考えても他の半導体素子に影響しないような微少電流しか流れないのである。

【0039】また、ここでは2つの半導体素子 39, 40 が飽和状態となる場合の例を示したが、これらの半導体素子が飽和状態となる時に寄生 NPN に流れる電流と、N型素子分離領域 4-6 の寄生抵抗とにより生ずる N型素子分離領域 4-6 の電圧降下を  $0.3$  V 以下になるようにすれば、3つ以上の半導体素子が飽和状態となる場合であっても、ウェル領域 1-2 等を形成する位置

を、飽和状態となる半導体素子間とすることができます。

【0040】なお、実施形態1と同様に、N型素子分離領域 4-1 によって複数の半導体素子を分離すると、電源ラインなどの配線が複雑化したり、配線の面積が大きくなる場合があるので、飽和状態とならない半導体素子間のN型素子分離領域 4-1 内であってもウェル領域 1-2 等を設けるようにしてもよい。

【0041】(実施形態3) 図4は、本発明の実施形態3の半導体集積回路の平面図である。なお、図4は、図3に示す回路図に基づいてレイアウトしたものである。図4において、4-6は半導体素子 35 ~ 40 等をそれぞれ分離するためのN型素子分離領域である。また、図4では、図2と異なり、N<sup>+</sup>型領域 1-3 を半導体素子 39, 40 の近傍に配置することにより、N型素子分離領域 4-6 の寄生抵抗を減らして半導体素子 39, 40 がそれぞれ飽和状態となる場合であっても、寄生 PNP には回路動作上影響しない電流しか流れないようにしている。なお、図4において、図2と同様の部分には、同一の符号を付している。

【0042】本実施形態では、N<sup>+</sup>型領域 1-3 と飽和状態となる半導体素子 39, 40 との距離を、実施形態2の場合と比較して約 1/10 となるようにして、N型素子分離領域 4-6 の寄生抵抗を約 1/10 としている。従って、電源から P 型基板 1 へ電流 2  $I_e$  が流れても、N型素子分離領域 4-6 の電圧降下は小さく、たとえば  $0.3$  V 以上にならないので、寄生 PNP には回路動作上影響しない電流しか流れない。このような場合には、飽和状態となる半導体素子 39, 40 を備えていても、半導体素子 35 ~ 40 間にウェル領域 1-2 等を形成することなく半導体集積回路を構成することができる。

【0043】なお、ここでは2つの半導体素子 39, 40 が飽和状態となる場合の例を示したが、これらの半導体素子が飽和状態となる時に寄生 NPN に流れる電流と、N型素子分離領域 4-6 の寄生抵抗とにより生ずる N型素子分離領域 4-6 の電圧降下を  $0.3$  V 以下になるようにすれば、3つ以上の半導体素子が飽和状態となる場合であっても、ウェル領域 1-2 等によって各半導体素子を分離しないようにすることができる。

【0044】また、実施形態1と同様に、N型素子分離領域 4-1 によって複数の半導体素子を分離すると、電源ラインなどの配線が複雑化したり、配線の面積が大きくなる場合があるので、飽和状態とならない半導体素子間のN型素子分離領域 4-1 内であってもウェル領域 1-2 等を設けるようにしてもよい。

【0045】さらに、実施形態2, 3 では、N型素子分離領域 4-4, 4-6 の電圧降下は、それぞれ、たとえば  $0.3$  V 程度以下であれば、寄生 PNP に流れる電流は回路動作上影響のないことを説明したが、N型素子分離領域 4-4, 4-6 の電圧降下が例えば  $0.5$  V のように、 $0.3$  V 以上の電圧であったとしても寄生 PNP

に流れる電流が回路動作上影響しないようであれば、N型素子分離領域4-1の電圧降下が例えば0.5V以下になるように制限すればよい。

【0046】

【発明の効果】以上説明したように、本発明によれば、飽和状態となる半導体素子と飽和状態とならない半導体素子とを分離するので、飽和状態となることで生じる電荷が、飽和状態とならない半導体素子の動作に影響しないようにすることができる。

【0047】また、本発明は、飽和状態となる半導体素子のうち、飽和状態となる半導体素子と素子分離領域とからなる寄生トランジスタのベース-エミッタ間電圧を制御したときに飽和状態とならない半導体素子の動作に影響を及ぼさないようにした半導体素子と他の飽和状態となる半導体素子とを分離するので、飽和状態となることで生じる電荷が、飽和状態とならない半導体素子の動作に影響しないようにすることができる。

【0048】さらに、本発明は、飽和状態となる半導体素子の近傍に一定電位とするための高濃度領域を形成することにより、高濃度領域と飽和状態となる半導体素子との間の寄生抵抗を減らしているので、飽和状態となることで生じる電荷が、飽和状態とならない半導体素子の動作に影響しないようにすることができる。

【図面の簡単な説明】

【図1】本発明の実施形態1の半導体集積回路の平面図

及び断面図である。

【図2】本発明の実施形態2の半導体集積回路の平面図及び断面図である。

【図3】図2の回路図である。

05 【図4】本発明の実施形態3の半導体集積回路の平面図及び断面図である。

【図5】従来の半導体集積回路の平面図及び断面図である。

【図6】図5の回路図である。

10 【符号の説明】

1 P型基板

2 N型埋め込み層

3 P型埋め込み層

4-1, 4-2, 4-3 N型素子分離領域

15 5 コレクタ領域5

6 ベース

7 エミッタ

8 ベースコンタクト層

9 コレクタコンタクト層

20 11 P型埋め込み層

12 ウェル領域

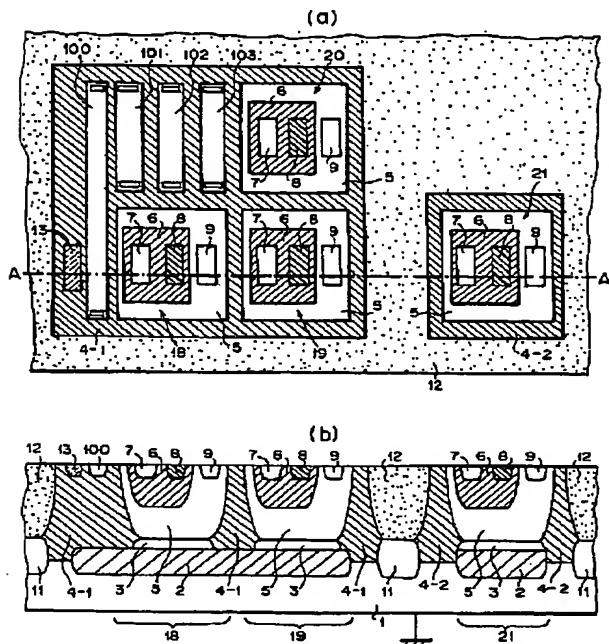
13 N<sup>+</sup>型領域

18~21, 35~40 半導体素子

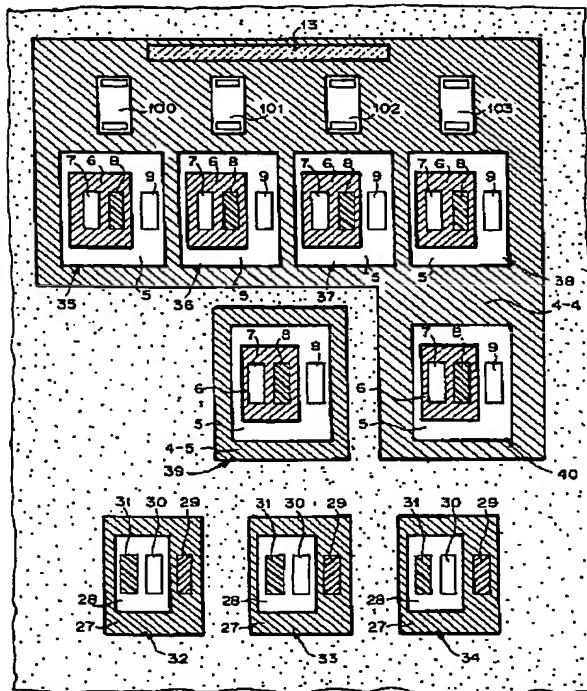
100~103 抵抗

25

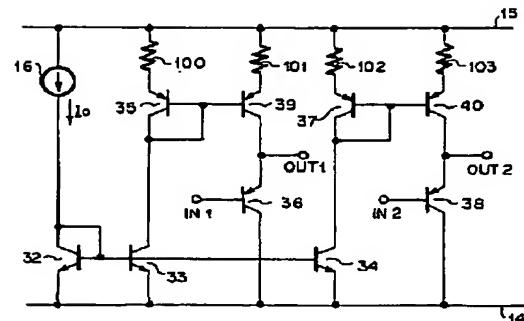
【図1】



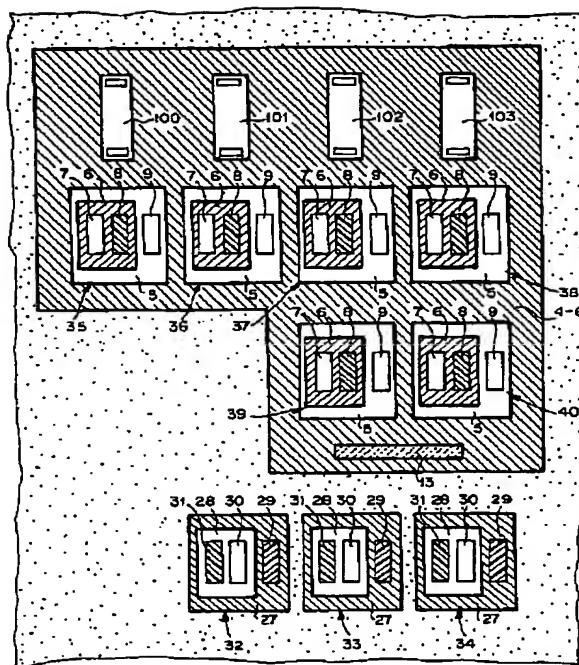
【図2】



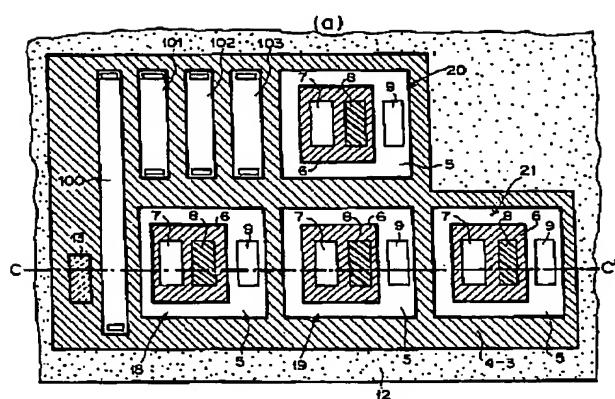
【図3】



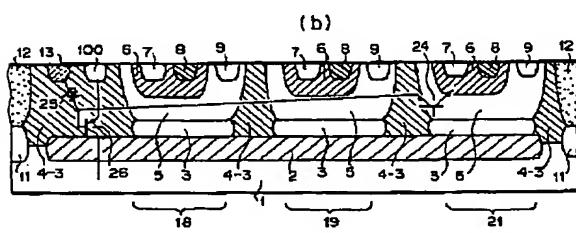
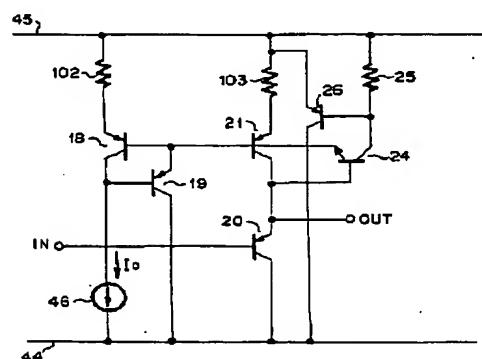
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 仲山 寿樹

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

05

F ターム(参考) 5F003 AP04 BA24 BA25 BC02 BC08  
BJ01 BJ03 BJ20 BJ99  
5F032 AB01 AB05 BA01 BA08 CA01  
CA03 CA14 CA18  
5F082 AA26 AA35 BA02 BA11 BA12  
BA19 BA47 BA48 BC03 BC15  
FA03 GA02 GA04